

## 明 細 書

## 半導体記憶装置、および半導体記憶装置の読み出し方法

5

## 技 術 分 野

本発明は、例えばダミーメモリセルによるタイミング信号に基づいてメモリセルのデータを読み出す半導体記憶装置、および半導体記憶装置の読み出し方法に関するものである。

10

## 背 景 技 術

ダミーメモリセルを有し、ダミーメモリセルによるタイミング信号に基づいてメモリセルのデータを読み出すSRAM (Static Random Access Memory) やROM (Read only memory) 等の半導体メモリが知られている。

15

図11は一般的なダミーメモリセルが設けられた半導体記憶装置の機能ブロック図である。図12A~Gは図11に示した半導体記憶装置のタイミングチャートである。図11, 12A~Gを参照しながら、一般的なダミーメモリセルDMCが設けられた例えばSRAMやROM等の半導体記憶装置の読み出し動作を簡単に説明する。

20

内部タイミング制御回路18bにより信号S182bがプリデコーダ16に出力される。プリデコーダ16およびワード線ドライバ13bにより、図12Cに示すように所定のワード線WLが活性化されると、図12Eに示すようにメモリセルMCに接続されたビット線BL, xBL (xBLはBLの反転を示す)、および図12Dに示すようにダミーメモリセルDMCに接続されたダミービット線DBL, xDBLがディスチャージされる。

25

比較部14は、図12Dに示すようにダミービット線DBL, xDBLの電位を比較し、例えば電位差が予め設定された閾値 $V_{thcomp}$  以下の場合にタイミン

グ信号として信号S 1 4をタイミング線TLを介して内部タイミング制御回路1 8 bに出力する。

このタイミング線TLは、例えば図1 1に示すように各構成要素が配置されている場合、比較部1 4からセンスアンプ1 9等を介して内部タイミング制御回路

5 1 8 bまで、メモリセル1 1の一行の一边長よりも長く形成されている。

内部タイミング制御回路1 8 bは、図1 2 Fに示すようにタイミング線TLを介して入力された信号S 1 4に基づいてパルス信号S 1 8 1 bを出力し、図1 2 Gに示すようにセンスアンプ1 9にビット線BL, x BLを介して所定のメモリセルMCのデータの読み出しを行わせた後、信号S 1 8 2 bを出力して図1 2 C  
10 に示すようにプリデコーダ1 6およびワード線ドライバ1 3 bにワード線WLを不活性化させ、信号S 1 8 3 bを出力して図1 2 D, Eに示すようにプリチャージ回路1 5 bに所定のビット線BL, x BLおよびダミービット線DBL, x DBLを所定の電位にプリチャージさせる。

しかし、上述した読み出し方法では、内部タイミング制御回路1 8 bがタイミング信号S 1 4をタイミング線TLを介して受信した後に、ダミーメモリセルD  
15 MCに接続されたダミービット線DBL, x DBLをプリチャージするのでプリチャージの開始時間が遅く、そのためサイクル時間が長いという問題点があった。

また、メモリセルMCのワード線WLを不活性化するのが遅いために、メモリ  
20 セルMCのビット線BL, x BLが毎サイクルにおいて電源電圧V c cから基準電位GNDまでプリチャージおよびディスチャージを繰り返すために、余分な電力を消費してしまうという問題点があった。

ところで、例えば特表2 0 0 1-5 2 1 2 6 2号公報には、メモリのサイクル時間を短縮するために、ワード線ドライバに近接した位置において終端を有する  
25 ように折り返されたワード線に、コアセルのRC遅延を近似するためのダミーメモリセルが接続されたメモリ回路が開示されている。

また、例えば特表 2001-521262 号公報には、メモリセルに隣接して、重複列およびパディング列が形成されたメモリシステムが開示されている。

例えば特表 2001-521262 号公報に示すメモリ回路では、ダミーメモリセルが、ワード線ドライバに近接した位置において終端を有するように折り返されたワード線に接続され、ダミーメモリセルに接続されたワード線に伴う RC 遅延時間により標準の遅延時間を設定しており、その標準の遅延時間に基づいて読み出し処理を行っているが、ダミーメモリセルに接続されたダミービット線のプリチャージ等を制御しておらず、プリチャージによるサイクル時間の改善は行っていない。

10      例えば特開 2001-351385 号公報に示すメモリシステムでは、重複列およびパディング列によるタイミング信号（自己計測制御信号とも言う）に基づいてセンス増幅器のオン状態を制御しているが、その自己計測制御信号は重複列およびパディング列からプリデコーダに長距離の信号線を介して入力される。この信号線が長いため、信号線で生じる配線抵抗が大きくなるとともに、配線と層

15      間膜との間に生じる浮遊容量も大きいため、これによって生じる CR の時定数が大きくなる。その結果信号の伝達特性特にパルス波形の立上り立下りが遅くなり、信号伝送に影響を及ぼすことになる。すなわち、その信号線の距離に起因して遅延が起こればサイクル時間が長いという問題点がある。

20

## 発 明 の 開 示

本発明の目的は、ダミーメモリセルによりタイミング信号を生成する半導体記憶装置において、読み出しのサイクル時間を、ダミーメモリセルに接続されたダミービット線のプリチャージ時間に依存することなく短縮できる半導体記憶装置

25      、および半導体記憶装置の読み出し方法を提供することにある。

また、本発明の他の目的は、ビット線のプリチャージおよびディスチャージに

よる消費電力を抑えることができる半導体記憶装置、および半導体記憶装置の読み出し方法を提供することにある。

本発明の第1の観点は、制御ラインと第1のデータ供給ラインを駆動して特定される第1データ保持回路と、制御ラインと第2のデータ供給ラインを駆動して  
5 特定され、前記第1データ保持回路の隣接した位置に設けられた第2データ保持回路と、第2データ保持回路の出力レベルを検出し、この検出結果と閾値との比較結果に応じてタイミング信号を発生する比較回路と、第1データ保持回路からデータを読み出す際、比較器のタイミング信号に応じて第1の制御ラインを駆動する駆動回路とを含む。

10 本発明の第2の観点は、第1制御ラインと第1のデータ供給ラインを駆動して特定される第1データ保持回路と、第2制御ラインと第2のデータ供給ラインを駆動して特定され、第1データ保持回路の隣接した位置に設けられた第2データ保持回路と、第2データ保持回路の出力レベルを検出し、この検出結果と閾値との比較結果に応じてタイミング信号を発生する第1比較回路と、第1データ保持  
15 回路からデータを読み出す際、第1比較器のタイミング信号に応じて第1の制御ラインを駆動する第1駆動回路と、第2制御ラインのレベルを検出し、この検出結果と閾値との比較結果に応じて第2のタイミング信号を発生する第2の比較回路と、第1データ保持回路からデータを読み出す際、第2の比較器のタイミング信号に応じて第2の制御ラインを駆動する第2駆動回路とを含む。

20 本発明の第3の観点は、ワード線および一対の第1のビット線に接続された第1のメモリセルと、ワード線および一対の第2のビット線に接続された第2のメモリセルと、少なくとも、前記ワード線を共通のタイミングで活性化させるワード線ドライバとを有し、前記第1のメモリセルからデータの読み出しを行う場合には、前記第2のメモリセルに接続された前記第2のビット線のレベルに応じて  
25 、前記データの読み出しのタイミングを決定する半導体記憶装置であって、前記ワード線ドライバは、前記一対の第2のビット線の電位差が予め設定された値に

なると、少なくとも前記第 2 のメモリセルに接続された前記ワード線を不活性化させて前記第 2 のメモリセルに接続された前記第 2 のビット線の所定の電位へのプリチャージを行う。

本発明の第 4 の観点によれば、第 1 のメモリセルからデータの読み出しを行う  
5 場合には、第 2 のメモリセルに接続された第 2 のビット線のレベルに応じて、データの読み出しのタイミングを決定する。

ワード線ドライバでは、一对の第 2 のビット線の電位差が予め設定された値になると、少なくとも第 2 のメモリセルに接続された前記ワード線を不活性化させて第 2 のメモリセルに接続された第 2 のビット線の所定の電位へのプリチャージ  
10 を行う。

さらに、本発明の第 5 の観点は、ワード線および一对の第 1 のビット線に接続されている第 1 のメモリセルと、前記第 1 のビット線に接続されているセンスアンプと、前記第 1 のビット線を所定の電位へのプリチャージを行う第 1 のプリチャージ回路と、前記ワード線および一对の第 2 のビット線に接続されている第 2  
15 のメモリセルと、前記一对の第 2 のビット線の電位を比較し、電位差が予め設定された値になるとタイミング信号を生成する第 1 の比較部と、前記ワード線および前記一对の第 2 のビット線に接続され、少なくとも前記ワード線の電位に基づいて前記第 2 のビット線の所定の電位へのプリチャージを行うワード線ドライバと、前記第 1 のビット線および前記第 2 のビット線がプリチャージした状態で前  
20 記ワード線ドライバに前記ワード線を活性化させて前記第 1 のビット線および前記第 2 のビット線をディスチャージさせ、前記一对の第 2 のビット線の電位差が前記予め設定された値になると前記第 1 の比較部から出力されるタイミング信号に基づいて前記センスアンプに前記第 1 のビット線の電位差を検出させた後、前記第 1 のプリチャージ回路に前記第 1 のビット線を所定の電位へのプリチャージ  
25 を行わせる制御回路とを有し、前記ワード線ドライバは、前記一对の第 2 のビット線の電位を比較し、電位差が予め設定された値になるとタイミング信号を生成

する第2の比較部と、少なくとも前記第2の比較部が生成したタイミング信号に基づいて前記第2のメモリセルに接続された前記ワード線を不活性化するワード線制御部と、前記ワード線が不活性化した場合に前記第2のメモリセルに接続された一対の前記第2のビット線の所定の電位へのプリチャージを行う第2のプリチャージ回路とを含む。

さらに、本発明の第6の観点は、第1のワード線および一対の第1のビット線に接続されている第1のメモリセルと、前記第1のビット線に接続されているセンスアンプと、前記第1のビット線を所定の電位へのプリチャージを行う第1のプリチャージ回路と、前記第1のワード線に接続され、前記第1のワード線の活性化および不活性化を行う第1のワード線ドライバと、第2のワード線および一対の第2のビット線に接続されている第2のメモリセルと、前記一対の第2のビット線の電位を比較し、電位差が予め設定された値になるとタイミング信号を生成する第1の比較部と、前記第2のワード線および前記一対の第2のビット線に接続され、少なくとも前記第2のワード線の電位に基づいて前記第2のビット線の所定の電位へのプリチャージを行う第2のワード線ドライバと、前記第1のビット線および前記第2のビット線がプリチャージした状態で前記第1および第2のワード線ドライバに前記第1および第2のワード線を活性化させて前記第1のビット線および前記第2のビット線をディスチャージさせ、前記一対の第2のビット線の電位差が前記予め設定された値になると前記第1の比較部から出力されるタイミング信号に基づいて前記センスアンプに前記第1のビット線の電位差を検出させた後、前記第1のプリチャージ回路に前記第1のビット線を所定の電位へのプリチャージを行わせる制御回路とを有し、前記第2のワード線ドライバは、前記一対の第2のビット線の電位を比較し、電位差が予め設定された値になるとタイミング信号を生成する第2の比較部と、少なくとも前記第2の比較部が生成したタイミング信号に基づいて前記第2のメモリセルに接続された前記第2のワード線を不活性化するワード線制御部と、前記第2のワード線が不活性化した

場合に前記第 2 のメモリセルに接続された一対の前記第 2 のビット線の所定の電位へのプリチャージを行う第 2 のプリチャージ回路とを含む。

- さらに、本発明の第 7 の観点は、ワード線および一対の第 1 のビット線に接続された第 1 のメモリセルと、ワード線および一対の第 2 のビット線に接続された第 2 のメモリセルと、少なくとも、前記ワード線を共通のタイミングで活性化させるワード線ドライバとを有する半導体記憶装置の読み出し方法であって、前記第 1 のメモリセルからデータの読み出しを行う場合には、前記第 2 のメモリセルに接続された前記第 2 のビット線のレベルに応じて、前記データの読み出しのタイミングを決定し、前記一対の第 2 のビット線の電位差が予め設定された値になると、前記ワード線ドライバが、少なくとも前記第 2 のメモリセルに接続された前記ワード線を不活性化させて前記第 2 のメモリセルに接続された前記第 2 のビット線の所定の電位へのプリチャージを行う。

#### 図面の簡単な説明

- 図 1 は、本発明に係る半導体記憶装置の第 1 実施形態を示すブロック図である。
- 図 2 は、図 1 に示した半導体記憶装置のメモリセルの一具体例を示すセル回路図である。
- 図 3 は、図 1 に示したダミーメモリセルの一具体例を示すセル回路図である。
- 図 4 は、図 1 に示した半導体記憶装置のワード線ドライバの機能回路図である。
- 図 5 A, B は、図 1 に示した半導体記憶装置のパルス生成部の動作を説明するための波形図である。
- 図 6 A～G は、図 1 に示した半導体記憶装置の動作を説明するためのタイミングチャートである。
- 図 7 は、本発明に係る半導体記憶装置の第 2 実施形態を示すブロック図である。
- 図 8 は、図 7 に示した半導体記憶装置のワード線ドライバの機能回路図である。
- 図 9 は、図 7 に示した半導体記憶装置のダミーメモリセルの一部を拡大した機能

回路図である。

図 10 A～G は、図 7 に示した半導体記憶装置の動作を説明するためのタイミングチャートである。

図 11 は、一般的なダミーメモリセルが設けられた半導体記憶装置の機能ブロック図である。

図 12 A～G は、図 11 に示した一般的な半導体記憶装置のタイミングチャートである。

#### 発明を実施するための最良の形態

10 添付図面を参照して本発明の好適実施形態について説明していく。

図 1 は、本発明に係る半導体記憶装置の第 1 実施形態を示すブロック図である。本実施形態に係る半導体記憶装置 1 は、ダミーメモリセルを有し、メモリセルからデータの読み出しを行う場合には、ダミーメモリセルに接続されたダミービット線のレベル（電位とも言う）に応じてデータの読み出しのタイミングを決定する。

詳細には、ディスチャージ時にダミーメモリセルに接続されたダミービット線の電位差が予め設定された閾値になると出力されるタイミング信号に基づいて、メモリセルからのデータの読み出しタイミングを制御し、かつワード線の活性化時間およびダミーセルが接続されたダミービット線の所定の電位へのプリチャージのタイミング開始時間を制御する。

本実施形態に係る半導体記憶装置 1 は、例えば図 1 に示すように、メモリセル 11、ダミーメモリセル 12、ワード線ドライバ 13、比較部 14、プリチャージ回路 15、プリデコーダ 16、パルス生成部 17、内部タイミング制御回路 18、およびセンスアンプ 19 を有する。

25 本実施形態では例えば各構成要素が同一の IC (integrated circuit) チップ上に形成されている。



メモリセル11は本発明に係る第1のメモリセルに相当し、ダミーメモリセル12は本発明に係る第2のメモリセルに相当し、ワード線ドライバ13は本発明に係るワード線ドライバに相当する。

メモリセル11には、例えばSRAMセルやROMセル等の複数のメモリセル  
5 MC11~MCmnがマトリクス形状に形成され、同一列に属すメモリセルMC1n, ..., MCmnが一对のビット線BLn, xBLnに接続され、これらビット線BLn, xBLnはプリチャージ回路15を介して、センスアンプ19に接続されている。一对のビット線BL, および反転ビット線xBL (xBLはBLの反転ビットを示す) は本発明に係る第1のビット線に相当する。

10 本実施形態では、通常のメモリセル11に加えて各行毎にダミーメモリセル (DMC1, DMC2, ..., DMCm) が設けられ、その結果1列のダミーメモリセル (DMC1~DMCm) 12が構成される。

図2は、図1に示した半導体記憶装置のメモリセルの一具体例を示すセル回路図である。

15 本実施形態では例えば図2に示すようにメモリセル11がSRAMセルの場合を説明する。

例えば、メモリセルMCは、図2に示すように、PチャネルMOS (Metal oxide semiconductor) トランジスタQ11, Q12、NチャネルMOSトランジスタQ13~Q16により構成される。

20 ワード線WLは、トランジスタQ15, Q16のゲートに接続されている。相補的な一对のビット線BL, xBLは、トランジスタQ15, Q16のドレインに接続されている。

トランジスタQ11, Q13は電源電圧Vccの供給ラインおよび基準電位GNDに直列に接続され、トランジスタQ12, Q14は電源電圧Vccの供給ラインおよび基準電位GNDに直列に接続されている。  
25

トランジスタQ11, Q13のゲートはトランジスタQ16のソースに接続され

、トランジスタQ 1 2, 1 4のゲートはトランジスタQ 1 5のソースに接続されている。

ダミーメモリセル1 2は、例えば図1に示すように、メモリセル1 2に隣接して、メモリセル1 2の1列の数と同じ数のダミーメモリセルDMC 1 ~ DMC m  
5 が形成されている。

ダミーメモリセル1 2それぞれには、一対のダミービット線DBL, xDBLが接続されている。ダミービット線DBL, xDBLは比較部1 4に接続されている。

図3は、図1に示したダミーメモリセルの一具体例を示すセル回路図である。

10 ダミーメモリセル1 2は、例えば図3に示すように、メモリセルMCとほぼ同じ構成である。相違点は図2に示すビット線BL, xBLがダミービット線DBL, xDBLに変更されている点と、トランジスタQ 1 1のゲートが基準電位に接続され、トランジスタQ 1 2のゲートが電源電圧Vccの供給ラインに接続されている点である。

15 各行のメモリセル1 1およびダミーメモリセル1 2は、共通のワード線WL 1, ..., WLmに接続され、ワード線ドライバ1 3により駆動される。

ワード線ドライバ1 3とダミービット線DBL, xDBLは、例えば図1に示すように、メモリセル1 1を介してワード線WLに沿って平行に形成されたワードダミービット線WDBL, xWDBLにより接続されている。ダミービット線D

20 BL, xDBLは本発明に係る第2のビット線に相当する。

図4は、図1に示した半導体記憶装置のワード線ドライバの機能回路図である。

ワード線ドライバ1 3は、ダミーメモリセル1 2によるタイミング信号に基づいて、ダミーメモリセル1 2に接続されたワード線WLの活性化時間を制御し、かつタイミング信号およびダミーメモリセル1 2に接続されたワード線WLの電位  
25 に基づいてダミーメモリセル1 2のプリチャージ時間を制御する。

詳細には、ワード線ドライバ13は、一对のダミービット線DBL，xDBLの電位差が予め設定された閾値になると、少なくともダミーメモリセル12に接続されたワード線WLを不活性化させてダミーメモリセル12に接続されたダミービット線DBL，xDBLのプリチャージを行う。

- 5      ワード線ドライバ13は、例えば詳細には図4に示すように、アンドゲート131、インバータ132，133、プリチャージ回路134、および比較部135を有する。

10      アンドゲート131は本発明に係るワード線制御部に相当し、プリチャージ回路134は本発明に係るプリチャージ回路に相当し、比較部135は本発明に係る比較部に相当する。

    アンドゲート131は、プリデコーダ16が出力した信号S16および比較部135による比較の結果に基づいて、ダミーメモリセル12に接続されたワード線WLの活性化および不活性化を制御する。

- 15      例えば、アンドゲート131は、比較部135による比較の結果、一对のダミービット線DBL，xDBLの電位差が予め設定された閾値 $V_{thcomp}$ 以下になると、少なくともダミーメモリセル12に接続されたワード線WLを不活性化する。

20      詳細にはアンドゲート131は、プリデコーダ16が出力した信号S16、および比較部135が出力した信号S135に基づいて信号S131を生成し、信号S131をインバータ132に出力する。

    インバータ132は、アンドゲート131が出力した信号S131を論理反転し、信号S132としてインバータ133に出力する。

    インバータ133は、インバータ132が出力した信号S132を論理反転し、信号S133としてワード線WLに出力する。

- 25      プリチャージ回路134は、アンドゲート131によるダミーメモリセル12に接続されたワード線WLの活性化および不活性化に基づいて、ダミーメモリセ

ル 1 2 に接続された一対のダミービット線 DBL, xDBL の所定の電位へのプリチャージを行う。

例えばプリチャージ回路 1 3 4 は、ワード線 WL が不活性化した場合、ダミーメモリセル 1 2 に接続された一対のダミービット線 DBL, xDBL の所定の電

5 位へのプリチャージを行う。

詳細には、プリチャージ回路 1 3 4 は、インバータ 1 3 3 から出力された信号 S 1 3 3 に基づいて、ダミービット線 DBL, xDBL を所定の電位へのプリチャージおよびディスチャージを行う。

プリチャージ回路 1 3 4 は、例えば詳細には図 4 に示すように、PチャネルM

10 OS (Metal oxide semiconductor) トランジスタ Q 1 ~ Q 3 を有する。

トランジスタ Q 1 ~ Q 3 のゲートはワード線 WL に接続されている。トランジスタ Q 1, 2 のソースは電源電圧 Vcc の供給ラインに接続されている。トランジスタ Q 1 のドレインはダミービット線 xDBL に接続され、トランジスタ Q 2 のドレインはダミービット線 DBL に接続されている。

15 トランジスタ Q 3 のドレインおよびソースは、ダミービット線ビット DBL, xDBL に接続されている。

比較部 1 3 5 は、ダミーメモリセル 1 2 に接続された一対のダミービット線 DBL, xDBL の電位を比較する。詳細には、比較部 1 3 5 はダミービット線 DBL, xDBL、つまりワードダミービット線 WDBL, xWDBL の電位差に

20 基づいて信号 S 1 3 5 を生成し、アンドゲート 1 3 1 に出力する。

比較部 1 3 5 は、例えば詳細には、ダミービット線 DBL, xDBL の電位差が予め設定された閾値 Vthcomp 以下の場合には、ロウレベルの信号 S 1 3 5 を出力し、閾値 Vthcomp よりも大きい場合にはハイレベルの信号 S 1 3 5 を出力する。

25 図 1 に示す比較部 1 4 は、タイミング線 TL を介して内部タイミング制御回路 1 8 に接続されている。本実施形態ではタイミング線 TL は、各構成要素が図 1

に示すように形成される場合、比較部 14 からセンスアンプ 19 等を介して内部タイミング制御回路 18 まで、メモリセル 11 の一行の一辺長よりも長く形成されている。

- 比較部 14 は、図 4 に示す比較部 135 と同様に、一対のダミービット線 DBL, xDBL の電位を比較し、電位差が予め設定された閾値  $V_{thcomp}$  以下になるとタイミング信号 S14 を生成し、内部タイミング制御回路 18 に出力する。プリチャージ回路 15 には、ビット線 BL, xBL それぞれにプリチャージ回路 PC1 ~ PCn が形成され、内部タイミング制御回路 18 からの信号 S183 に基づいてビット線 BL, xBL の所定の電位へのプリチャージを行う。
- 10    プリデコーダ 16 は、入力アドレス信号 A[0] ~ A[m] をデコードし、内部タイミング制御回路 18 が出力したタイミング信号 S182 に基づいて所定のタイミングで信号 S16 をワード線ドライバ 13 に出力する。

図 5A, B は、図 1 に示した半導体記憶装置のパルス生成部の動作を説明するための波形図である。

- 15    パルス生成部 17 は、例えば図 5A に示すように、入力端子からハイレベルの期間 TH1 およびロウレベルの期間 TL1 の外部クロック信号 CK (EXCK とする) が入力されると、例えば図 5B に示すように、期間 TH1 よりも長いハイレベルの期間 TH2、および期間 TL1 よりも短いロウレベルの期間 TH2 の内部クロック信号 CK (INTCK とする) を、信号 S17 としてプリデコーダ 16 および内部タイミング制御回路 18 等に出力する。

外部クロック信号 CK および内部クロック信号 CK の繰り返し周期  $T_c$  は同じであり、デューティ比が異なる。

プリデコーダ 16 および内部タイミング制御回路 18 等は、内部クロック信号 CK に基づいて所定の動作を行う。

- 25    内部タイミング制御回路 18 は、コントロール信号 WE の入力端子、プリチャージ回路 15、プリデコーダ 16、パルス生成部 17、およびセンスアンプ 19

に接続されている。

内部タイミング制御回路18は、例えば不図示のCPU等から入力端子を介して入力されたコントロール信号WEをデコードし、センスアンプ19にビット線BL, xBL上のデータを増幅させる信号S181（センスアンプイネーブル信号：SAE）を出力する。

また、内部タイミング制御回路18は、コントロール信号WEをデコードし、プリデコーダ16およびワード線ドライバ13にアドレス信号A[0]～[m]をデコードさせてワード線WLを活性化および不活性化させる信号S182を出力する。

- 10     また、内部タイミング制御回路18は、プリチャージ回路15にビット線BL, xBLのプリチャージを行わせる信号S183を出力する。
- センスアンプ19は、上述したように例えば内部タイミング制御回路18からの信号S181に基づいてビット線BL, xBL上の微小な振幅電圧のデータを増幅し、所定のメモリセル12のデータをデータ信号O[n]として出力端子から
- 15     出力する。

     データ入力時には、データ信号I[n]がデータ入力端子から入力され、ビット線BL, xBLに入力される。

- 図6A～Gは、図1に示した半導体記憶装置の動作を説明するためのタイミングチャートである。図1から図6A～6Gを参照しながら半導体記憶装置1の動作、特にワード線ドライバ13の動作を中心に説明する。
- 20     作、特にワード線ドライバ13の動作を中心に説明する。

     まず、ワード線WLがロウレベルで不活性状態であり、ビット線BL, xBLおよびダミービット線DBL, xDBLはプリチャージされているとする。

- 時間t0において、図6Aに示すようにクロック信号CKがハイレベルに設定されると、内部タイミング制御回路18は、図6Bに示すようにプリチャージ回路
- 25     15にロウレベルのプリチャージイネーブル信号PRE（S183）を出力する（時間t1）。

時間  $t_2$  において、内部タイミング制御回路 18 が、コントロール信号 WE に基づいて信号 S182 をプリデコーダに出力する。プリデコーダ 16 およびワード線ドライバ 13 は、図 6C に示すようにアドレス信号 A[m] および信号 S182 に基づいて所定のワード線 WL をハイレベルに設定してワード線 WL を活性化させる。

詳細には、図 4 に示すように、アンドゲート 131 では、比較部 135 からハイレベルの信号 S135 およびプリデコーダ 16 から所定のハイレベルの信号 S16 が入力されると、ハイレベルの信号 S131 を出力し、インバータ 132、133 を介して、ワード線 WL をハイレベルに設定してワード線 WL を活性化する。

ワード線 WL が活性化されると、図 6D に示すようにダミーメモリセル 12 に接続されたダミービット線 DBL、 $\bar{x}$ DBL がディスチャージされ、図 6E に示すようにメモリセル 11 に接続されたビット線 BL、 $\bar{x}$ BL がディスチャージされる。

比較部 14 では、図 6D に示すように時間  $t_3$  において、ダミービット線 DBL、 $\bar{x}$ DBL の電位差が閾値  $V_{thcomp}$  以下であることを検出すると、タイミング信号としてロウレベルの信号 S14 をタイミング線 TL を介して内部タイミング制御回路 18 に出力する。内部タイミング制御回路 18 ではその信号 S14 が入力されると、図 6F に示すようにセンスアンプ 19 にセンスイネーブル信号 SAE としてハイレベルのパルス信号 S181 を出力する (時間  $t_4$ )。

センスアンプ 19 は、パルス信号 S181 に基づいて所定のメモリセル MC のデータが出力された所定のビット線 BL、 $\bar{x}$ BL 上のデータを読み出し、図 6G に示すように信号 O[n] として出力する。

一方、時間  $t_3$  において、ワード線ドライバ 13 の比較部 135 では、図 6D に示すように、ダミービット線 DBL、 $\bar{x}$ DBL の電位差が閾値  $V_{thcomp}$  以下であることを検出すると、タイミング信号としてロウレベルの信号 S135 をア

ンドゲート 131 に出力する。

アンドゲート 131 では、ロウレベルの信号 S135 が入力されるとロウレベルの信号 S131 を出力し、インバータ 132, 133 により図 6C に示すように、ワード線 WL をロウレベルに設定してワード線 WL を不活性化する（時間 t5）。

ワード線ドライバ 13 のプリチャージ回路 134 では、時間 t5 において、ワード線 WL がロウレベルの場合には、トランジスタ Q1～3 がオン状態になり、図 6D に示すようにダミービット線 DBL, xDBL をプリチャージする（時間 t6）。

- 10 この際、ダミービット線 DBL, xDBL では、ディスチャージされている時間 t2～t6 間では、ダミービット線 DBL の電位が小さくなり続け、時間 t6 においてダミービット線 DBL の電位が 0 となる前に所定の電位へのプリチャージが行われ電源電圧 Vcc となる。

- 15 このため本実施形態では図 6D に示すように、ダミービット線 DBL を電源電圧 Vcc よりも小さい電圧 Vsd をプリチャージする。

- 時間 t7 において、図 6B に示すように内部タイミング制御回路 18 は、ハイレベルのプリチャージイネーブル PRE 信号 S183 をプリチャージ回路 15 に出力すると、プリチャージ回路 15 は時間 t8 においてビット線 BL, xBL のプリチャージを行い、時間 t9 でビット線 BL の電位が電源電圧 Vcc に設定される。

この際、時間 t8 においてビット線 BL, xBL の電位差が 0 となる前に所定の電位へのプリチャージが行われ電源電圧 Vcc となる。このため、本実施形態では図 6E に示すように、ビット線 BL, xBL を電源電圧 Vcc よりも小さい電位差 Vs をプリチャージし、所定の電位にプリチャージする。

- 25 サイクル時間 Tcy は、読み出し動作が始まる時間 t0 から終了時間 t9 である。



- 以上説明したように、本実施形態では、ワード線WLおよび一对のビット線BL, xBLに接続されたメモリセル11と、ワード線WLおよび一对のダミービット線DBL, xDBLに接続されたダミーメモリセル12と、少なくとも、ワード線WLを共通のタイミングで活性化させるワード線ドライバ13とを設け、
- 5   メモリセル11からデータの読み出しを行う場合には、ダミーメモリ12に接続されたダミービット線DBL, xDBLのレベルに応じて、データの読み出しのタイミングを決定し、ワード線ドライバ13が一对のダミービット線DBL, xDBLの電位差が予め設定された閾値 $V_{thcomp}$ になると、少なくともダミーメモリセル12に接続されたワード線WLを不活性化させてダミーメモリセル12
- 10   に接続されたダミービット線DBL, xDBLの所定の電位へのプリチャージを行うので、ダミービット線DBL, xDBLのプリチャージ開始時間がビット線BL, xBLのプリチャージ開始時間より早くなり、読み出しのサイクル時間 $T_{cy}$ をダミーメモリセル13のダミービット線DBL, xDBLのプリチャージ時間に依存することなく短縮できる。
- 15   詳細には、メモリセル11に接続されたビット線BL, xBLは、内部タイミング制御回路18を介してセンスアンプ19によりデータの読み出しが行われた後に所定の電位へのプリチャージが行われる。一方、ダミーメモリセル12に接続されたダミービット線DBL, xDBLは、ワード線ドライバ13内の比較部135により、ワード線WLがロウレベルになり不活性化することで、センスア
- 20   ンプ19の読み出しを待たずにダミービット線DBL, xDBLの所定の電位へのプリチャージを行うので、サイクル時間 $T_{cy}$ を短縮することができる。
- 詳細には、ワード線ドライバ13には、ダミーメモリセル12に接続された一对のダミービット線DBL, xDBLの電位を比較する比較部135と、比較部135による比較の結果に基づいてダミーメモリセル13に接続されたワード線W
- 25   Lの活性化および不活性化を制御するアンドゲート131と、アンドゲート131によりダミーメモリセル12に接続されたワード線WLが不活性化した場合、

ダミーメモリセル12に接続された一対のダミービット線DBL, xDBLの所定の電位へのプリチャージを行うプリチャージ回路134とを設けたので、サイクル時間Tcyを短縮することができる。

5 また、ワード線WL活性化時間を短くすることで、メモリセル11に接続されたビット線BL, xBLならびにダミーメモリセル13が接続されたダミービット線DBL, xDBLのプリチャージおよびディスチャージによる消費電力を抑えることができる。

図7は、本発明に係る半導体記憶装置の第2実施形態を示すブロック図である。

10 本実施形態に係る半導体記憶装置1aは、第1実施形態に係る半導体記憶装置1とほぼ同様な構成であり、同じ構成要素は同じ符号を付して説明を省略し、相違点のみ説明する。

第1実施形態と第2実施形態の相違点は、ダミーメモリセル12用のワード線ドライバ13と、メモリセル11用のワード線ドライバ13aとを別々に設けた  
15 点である。

図7に示した半導体記憶装置1aのダミーメモリセル12a用のワード線ドライバ13は、図4に示すワード線ドライバ13とほぼ同様であり、ワード線WLをダミーワード線DWLに読み替えればよい。

図8は図7に示した半導体記憶装置1aのワード線ドライバ13aの機能回路  
20 図である。

ワード線ドライバ13aは、例えば図8に示すように、アンドゲート131a、およびインバータ132, 133を有する。

ワード線ドライバ13aと第1実施形態に係るワード線ドライバ13との相違点は、プリチャージ回路および比較部がない点である。

25 また、アンドゲート131aは、プリデコーダ16からの信号S16のみに基づいて、ワード線WLの活性化および不活性化を行う。

半導体記憶装置 1 a では、ダミーメモリセル 1 2 a が、メモリセル 1 1 に隣接して 1 行および 1 列が設けられている。詳細には例えば図 7 に示すように、ダミーメモリセル DMC 0 1 ~ DMC 0 (n + 1) が 1 行、およびダミーメモリセル DMC 1 (n + 1) ~ DMC m (n + 1) が 1 列設けられている。

- 5   ダミーメモリセル DMC 0 1 ~ DMC 0 (n + 1) は、共通のダミーワード線 DWL により接続され、ワード線ドライバ 1 3 により駆動される。

図 9 は、図 7 に示した半導体記憶装置 1 a のダミーメモリセルの一部を拡大した機能回路図である。

- 10   ダミーメモリセル DMC 1 (n + 1) ~ DMC m (n + 1) は、例えばダミーワード線 WL やワード線 WL が接続されずに、一対のダミービット線 DBL, x DBL が共通に接続され、ワード線 WL は接続されていない。

第 1 実施形態に係るダミーメモリセル DMC との相違点は、ダミーメモリセル DMC 1 (n + 1) ~ DMC m (n + 1) は、例えば図 9 に示すように、トランジスタ Q 1 5, Q 1 6 のゲートが基準電位 GND に接続されている点である。

- 15   また、ワード線ドライバ 1 3 とダミービット線 DBL, x DBL は、例えば図 7 に示すように、ダミーメモリセル DMC 0 1 ~ DMC 0 (n + 1) に沿って平行に形成されたワードダミービット線 WDBL, x WDBL により接続されている。

- 20   図 1 0 A ~ G は、図 7 に示した半導体記憶装置 1 a の動作を説明するためのタイミングチャートである。図 7, 1 0 A ~ G を参照しながら、半導体記憶装置 1 a の動作を第 1 実施形態と相違点を中心に説明する。

- 大きな相違点としては、本実施形態に係る半導体記憶装置 1 a では、メモリセル 1 1 に接続されたワード線 WL と、ダミーメモリセル 1 2 a のダミーメモリセル DMC 0 1 ~ DMC 0 (n + 1) が接続されたダミー線ワード線 DWL とに、  
25   別々にワード線ドライバ 1 3, 1 3 a が設けられているためにそれぞれが異なった動作を行う点である。

まず、ワード線WLがロウレベルで不活性状態であり、ビット線BL, xBLおよびダミービット線DBL, xDBLはプリチャージされているとする。

- 時間  $t_0$  において、図10Aに示すようにクロック信号CKがハイレベルに設定されると、内部タイミング制御回路18は、図10Bに示すようにプリチャージ回路15にロウレベルのプリチャージイネーブル信号PRE (S183) を出力する (時間  $t_1$ )。

- 時間  $t_2$  において、内部タイミング制御回路18が、コントロール信号WEに基づいて信号S182をプリデコーダ16に出力する。プリデコーダ16およびワード線ドライバ13aは、図10Cに示すようにアドレス信号A[m] および信号S182に基づいて所定のワード線WLをハイレベルに設定してワード線WLを活性化させる。

また、プリデコーダ16およびワード線ドライバ13は、図10Cに示すようにアドレス信号A[m] および信号S182に基づいてダミーワード線DWLをハイレベルに設定してダミーワード線DWLを活性化させる。

- 15 詳細には、図4に示すように、アンドゲート131では、比較部135からハイレベルの信号S135およびプリデコーダ16から所定のハイレベルの信号S16が入力されると、ハイレベルの信号S131を出力し、インバータ132, 133を介して、ダミーワード線DWLをハイレベルに設定する (時間  $t_2$ )。

- ダミーワード線DWLが活性化されると、図10Dに示すようにダミーメモリセル12に接続されたワードダミービット線WDBL, xWDBLおよびダミービット線DBL, xDBLがディスチャージされる。

また、ワード線WLが活性化されると、図10Eに示すようにメモリセル11に接続されたビット線BL, xBLがディスチャージされる。

- 比較部14では、図10Dに示すように時間  $t_3$  において、ダミービット線DBL, xDBLの電位差が閾値 $V_{thcomp}$  以下であることを検出すると、タイミング信号としてロウレベルの信号S14をタイミング線TLを介して内部タイミン

グ制御回路18に出力する。内部タイミング制御回路18ではその信号S14が  
入力されると、図10Fに示すようにセンスアンプ19にセンスイネーブル信号  
SAEとしてハイレベルのパルス信号S181を出力する（時間t4）。

- 5    センスアンプ19は、パルス信号S181に基づいて所定のメモリセルMCの  
データが出力された所定のビット線BL, xBL上のデータを読み出し、図10  
Gに示すように信号O[n]として出力する。

- 一方、時間t3において、ワード線ドライバ13の比較部135では、図10  
Dに示すように、ダミービット線DBL, xDBLの電位差が閾値V<sub>thcomp</sub> 以  
下であることを検出すると、タイミング信号としてロウレベルの信号S135を  
10    アンドゲート131aに出力する。

アンドゲート131aでは、ロウレベルの信号S135が入力されるとロウレ  
ベルの信号S131を出力し、インバータ132, 133により図10Cに示す  
ように、ダミーワード線DWLをロウレベルに設定してダミーワード線DWLを  
不活性化する（時間t5）。

- 15    一方、比較部14によりダミーメモリセルDMC0 (n+1) ~DMCm (n  
+1) が接続されたダミービット線DBL, xDBLの電位差が、閾値V<sub>thcomp</sub>  
以下であることを検出すると、タイミング信号として信号S14をタイミング線  
TLを介して内部タイミング制御回路18に出力する。

- 内部タイミング制御回路18では、信号S14が入力されると信号S182を  
20    プリデコーダ16に出力し、所定のワード線ドライバ13aに、ワード線WLを  
ロウレベルにオフ状態、つまり不活性化させる（時間t5'）。

- ワード線ドライバ13のプリチャージ回路134では、時間t5において、ワ  
ード線WLがロウレベルの場合には、トランジスタQ1~3がオン状態になり、  
図10Dに示すようにワードダミービット線WDBL, xWDBLおよびダミー  
25    ビット線DBL, xDBLをプリチャージする（時間t6）。

この際、ダミービット線DBL, xDBLでは、ディスチャージされている時

間  $t_2 \sim t_6$  間では、ダミービット線 DBL, xDBL の電位差が小さくなり続け、時間  $t_6$  においてダミービット線 DBL, xDBL の電位差が 0 となる前に所定の電位へのプリチャージが行われ電源電圧  $V_{cc}$  となる。

このため本実施形態では図 10D に示すように、ダミービット線 DBL, xDBL を電源電圧  $V_{cc}$  よりも小さい電位差  $V_{sd}$  をプリチャージする。

図 10B に示すように、時間  $t_7$  において、内部タイミング制御回路 18 は、ハイレベルのプリチャージイネーブル PRE 信号 S183 をプリチャージ回路 15 に出力すると、プリチャージ回路 15 は時間  $t_8$  においてビット線 BL, xBL のプリチャージを行い、時間  $t_9$  でビット線 BL の電位が電源電圧  $V_{cc}$  に設定される。

この際、時間  $t_8$  においてビット線 BL の電位が 0 となる前に所定の電位へのプリチャージが行われ電源電圧  $V_{cc}$  となる。このため、本実施形態では図 10E に示すように、ビット線 BL を電源電圧  $V_{cc}$  よりも小さい電位  $V_s$  をプリチャージし、所定の電位にプリチャージする。

15 サイクル時間は、読み出し動作が始まる時間  $t_0$  から終了時間  $t_9$  である。

以上説明したように、本実施形態では、ダミーメモリセル 12a 用のワード線ドライバ 13 と、メモリセル 11 用のワード線ドライバ 13a とを別々に設けたので、例えば既存のメモリセル 11 の周囲にダミーメモリセル 12a およびワード線ドライバ 13 を設けることで、メモリセル 11 に変更を加えることなく実現可能である。

また、本実施形態に係る半導体記憶装置 1a では、第 1 実施形態と比べて比較部が少なくすることができる。

また、ダミーワード線 DWL 活性化時間を短くすることで、ダミーメモリセル 13 が接続されたダミービット線 DBL, xDBL のプリチャージおよびディス  
25 チャージによる消費電力を抑えることができる。

なお、本発明は本実施の形態に限られるものではなく、任意好適な種々の改変

が可能である。

実施形態では、メモリセルとしてSRAMやROM等を説明したが、この形態に限られるものではない。例えば、ダミーメモリセルによるタイミング信号によりメモリ動作を制御する半導体記憶装置に適用できる。

- 5      また、実施形態ではダミーメモリセルDMCをメモリセル11に隣接して形成したが、ダミーメモリセルDMCの形成位置は、この形態に限られるものではない。読み出し動作のためのタイミング信号を適切に出力することができ、ダミービット線DBL、 $\alpha$ DBLのプリチャージ開始時間を制御できればよい。

- 10      本発明によれば、ダミーメモリセルによりタイミング信号を生成する半導体記憶装置において、読み出しのサイクル時間をダミーメモリセルに接続されたダミービット線のプリチャージ時間に依存することなく短縮できる半導体記憶装置、および半導体記憶装置の読み出し方法を提供することができる。

- 15      また、本発明によれば、ビット線のプリチャージおよびディスチャージによる消費電力を抑えることができる半導体記憶装置、および半導体記憶装置の読み出し方法を提供することができる。

#### 産業上の利用可能性

- 20      以上のように、本発明にかかる半導体装置、および半導体装置の読み出し方法は、読み出しタイミングを向上できることから、SRAM、ROM、DRAMなどの半導体記憶装置に適応可能である。

## 請 求 の 範 囲

1. 制御ラインと第1のデータ供給ラインを駆動して特定される第1データ保持回路と、
- 5 前記制御ラインと第2のデータ供給ラインを駆動して特定され、前記第1データ保持回路の隣接した位置に設けられた第2データ保持回路と、  
前記第2データ保持回路の出力レベルを検出し、該検出結果と閾値との比較結果に応じてタイミング信号を発生する比較回路と、  
前記第1データ保持回路からデータを読み出す際、前記比較器のタイミング信号  
10 号に応じて前記第1の制御ラインを駆動する駆動回路と  
を備えた半導体記憶装置。  
2. 前記制御ラインをワードラインとし、前記第1と第2のデータ供給ラインをビットラインとする  
請求項1に記載の半導体記憶装置。
- 15 3. 前記比較回路のタイミング信号に応じて、前記駆動回路により制御ラインを不活性化させ、前記第2データ保持回路のバイアスを所定レベルに設定するプリチャージする制御回路を有する  
請求項1に記載の半導体記憶装置。
4. 前記第2データ保持回路を前記第1データ保持回路ごとに設けた  
20 請求項1に記載の半導体記憶装置。
5. 第1制御ラインと第1のデータ供給ラインを駆動して特定される第1データ保持回路と、  
第2制御ラインと第2のデータ供給ラインを駆動して特定され、前記第1データ保持回路の隣接した位置に設けられた第2データ保持回路と、  
25 前記第2データ保持回路の出力レベルを検出し、該検出結果と閾値との比較結果に応じてタイミング信号を発生する第1比較回路と、



前記第 1 データ保持回路からデータを読み出す際、前記比較器のタイミング信号に応じて前記第 1 の制御ラインを駆動する第 1 駆動回路と、

前記第 2 制御ラインのレベルを検出し、該検出結果と閾値との比較し結果に応じて第 2 のタイミング信号を発生する第 2 の比較回路と、

- 5 前記第 1 データ保持回路からデータを読み出す際、前記第 2 の比較器のタイミング信号に応じて前記第 2 の制御ラインを駆動する第 2 駆動回路と
- を備えた半導記憶装置。

6. 前記第 1 と第 2 の制御ラインをワードラインとし、前記第 1 と第 2 のデータ供給ラインをビットラインとする

- 10 請求項 5 に記載の半導体記憶装置。

7. 前記前記第 1 比較回路のタイミング信号に応じて、前記駆動回路により制御ラインを不活性化させ、前記第 2 データ保持回路のバイアスを所定レベルに設定するプリチャージする制御回路を有する

請求項 5 に記載の半導体記憶装置。

- 15 8. 前記第 2 データ保持回路を前記第 1 データ保持回路の行方向と列方向に設けた

請求項 5 に記載の半導体記憶装置

9. ワード線および一对の第 1 のビット線に接続された第 1 のメモリセルと、  
ワード線および一对の第 2 のビット線に接続された第 2 のメモリセルと、

- 20 少なくとも、前記ワード線を共通のタイミングで活性化させるワード線ドライバと、

を有し、

前記第 1 のメモリセルからデータの読み出しを行う場合には、前記第 2 のメモリセルに接続された前記第 2 のビット線のレベルに応じて、前記データの読み出

- 25 しのタイミングを決定する半導体記憶装置であって、

前記ワード線ドライバは、前記一对の第 2 のビット線の電位差が予め設定され

た値になると、少なくとも前記第 2 のメモリセルに接続された前記ワード線を不活性化させて前記第 2 のメモリセルに接続された前記第 2 のビット線の所定の電位へのプリチャージを行う

半導体記憶装置。

- 5    1 0. 前記ワード線ドライバは、前記一对の第 2 のビット線に接続され、前記一对の第 2 のビット線の電位を比較する比較部と、前記比較部による比較の結果、前記一对の第 2 のビット線の電位差が予め設定された値になると、少なくとも前記第 2 のメモリセルに接続された前記ワード線を不活性化するワード線制御部と、前記ワード線制御部により前記第 2 のメモリセルに接続されたワード線が不活性化した場合、前記第 2 のメモリセルに接続された一对の第 2 のビット線の所定の電位へのプリチャージを行うプリチャージ回路とを含む

請求項 9 に記載の半導体記憶装置。

1 1. 前記ワード線に、前記第 1 のメモリセル、前記第 2 のメモリセル、および前記ワード線ドライバが共通に接続され、

- 15    前記ワード線ドライバは、前記ワード線を共通のタイミングで活性化させ、前記一对の第 2 のビット線の電位差が予め設定された値になると、前記第 1 および第 2 のメモリセルに接続された前記ワード線を不活性化させて前記第 2 のメモリセルに接続された前記第 2 のビット線の所定の電位へのプリチャージを行う

請求項 9 に記載の半導体記憶装置。

- 20    1 2. ワード線および一对の第 1 のビット線に接続されている第 1 のメモリセルと、前記第 1 のビット線に接続されているセンスアンプと、

前記第 1 のビット線を所定の電位へのプリチャージを行う第 1 のプリチャージ回路と、

前記ワード線および一对の第 2 のビット線に接続されている第 2 のメモリセル

- 25    と、

前記一对の第 2 のビット線の電位を比較し、電位差が予め設定された値になる

とタイミング信号を生成する第 1 の比較部と、

前記ワード線および前記一对の第 2 のビット線に接続され、少なくとも前記ワード線の電位に基づいて前記第 2 のビット線の所定の電位へのプリチャージを行うワード線ドライバと、

- 5 前記第 1 のビット線および前記第 2 のビット線がプリチャージした状態で前記ワード線ドライバに前記ワード線を活性化させて前記第 1 のビット線および前記第 2 のビット線をディスチャージさせ、前記一对の第 2 のビット線の電位差が前記予め設定された値になると前記第 1 の比較部から出力されるタイミング信号に基づいて前記センスアンプに前記第 1 のビット線の電位差を検出させた後、前記
- 10 第 1 のプリチャージ回路に前記第 1 のビット線を所定の電位へのプリチャージを行わせる制御回路と

を有し、

前記ワード線ドライバは、

前記一对の第 2 のビット線の電位を比較し、電位差が予め設定された値になる

- 15 とタイミング信号を生成する第 2 の比較部と、

少なくとも前記第 2 の比較部が生成したタイミング信号に基づいて前記第 2 のメモリセルに接続された前記ワード線を不活性化するワード線制御部と、

前記ワード線が不活性化した場合に前記第 2 のメモリセルに接続された一对の前記第 2 のビット線の所定の電位へのプリチャージを行う第 2 のプリチャージ回

- 20 路と

を含む半導体記憶装置。

1 3. 第 1 のワード線および一对の第 1 のビット線に接続されている第 1 のメモリセルと、

前記第 1 のビット線に接続されているセンスアンプと、

- 25 前記第 1 のビット線を所定の電位へのプリチャージを行う第 1 のプリチャージ回路と、前記第 1 のワード線に接続され、前記第 1 のワード線の活性化および不

活性化を行う第1のワード線ドライバと、

第2のワード線および一对の第2のビット線に接続されている第2のメモリセルと、

前記一对の第2のビット線の電位を比較し、電位差が予め設定された値になる

5 とタイミング信号を生成する第1の比較部と、

前記第2のワード線および前記一对の第2のビット線に接続され、少なくとも前記第2のワード線の電位に基づいて前記第2のビット線の所定の電位へのプリチャージを行う第2のワード線ドライバと、

前記第1のビット線および前記第2のビット線がプリチャージした状態で前記

10 第1および第2のワード線ドライバに前記第1および第2のワード線を活性化させて前記第1のビット線および前記第2のビット線をディスチャージさせ、前記一对の第2のビット線の電位差が前記予め設定された値になると前記第1の比較部から出力されるタイミング信号に基づいて前記センスアンプに前記第1のビット線の電位差を検出させた後、前記第1のプリチャージ回路に前記第1のビット  
15 線を所定の電位へのプリチャージを行わせる制御回路と

を有し、

前記第2のワード線ドライバは、

前記一对の第2のビット線の電位を比較し、電位差が予め設定された値になるとタイミング信号を生成する第2の比較部と、

20 少なくとも前記第2の比較部が生成したタイミング信号に基づいて前記第2のメモリセルに接続された前記第2のワード線を不活性化するワード線制御部と、

前記第2のワード線が不活性化した場合に前記第2のメモリセルに接続された一对の前記第2のビット線の所定の電位へのプリチャージを行う第2のプリチャージ回路と

25 を含む半導体記憶装置。

14. ワード線および一对の第1のビット線に接続された第1のメモリセルと、

ワード線および一对の第2のビット線に接続された第2のメモリセルと、少なくとも、前記ワード線を共通のタイミングで活性化させるワード線ドライバとを有する半導体記憶装置の読み出し方法であって、

5 前記第1のメモリセルからデータの読み出しを行う場合には、前記第2のメモリセルに接続された前記第2のビット線のレベルに応じて、前記データの読み出しのタイミングを決定し、

前記一对の第2のビット線の電位差が予め設定された値になると、前記ワード線ドライバが、少なくとも前記第2のメモリセルに接続された前記ワード線を不活性化させて前記第2のメモリセルに接続された前記第2のビット線の所定の電位へのプリチャージを行う

半導体記憶装置の読み出し方法。

1 5. 前記一对の第2のビット線に接続された前記ワード線ドライバ内の比較部が、前記一对の第2のビット線の電位を比較し、前記比較部による比較の結果、前記一对の第2のビット線の電位差が予め設定された値になると、前記第2のメモリセルに接続された前記ワード線ドライバ内のワード線制御部が前記ワード線を不活性化し、前記ワード線制御部により前記第2のメモリセルに接続されたワード線が不活性化した場合、前記ワード線ドライバ内のプリチャージ回路が前記第2のメモリセルに接続された一对の第2のビット線の所定の電位へのプリチャージを行う

20 請求項14に記載の半導体記憶装置の読み出し方法。

1 6. 前記ワード線には、前記第1のメモリセル、前記第2のメモリセル、および前記ワード線ドライバが共通に接続され、前記ワード線ドライバが、前記ワード線を共通のタイミングで活性化させ、前記一对の第2のビット線の電位差が予め設定された値になると、前記第1および第2のメモリセルに接続された前記ワード線を不活性化させて前記第2のメモリセルに接続された前記第2のビット線の所定の電位へのプリチャージを行う

請求項 1 4 に記載の半導体記憶装置の読み出し方法。

FIG. 1

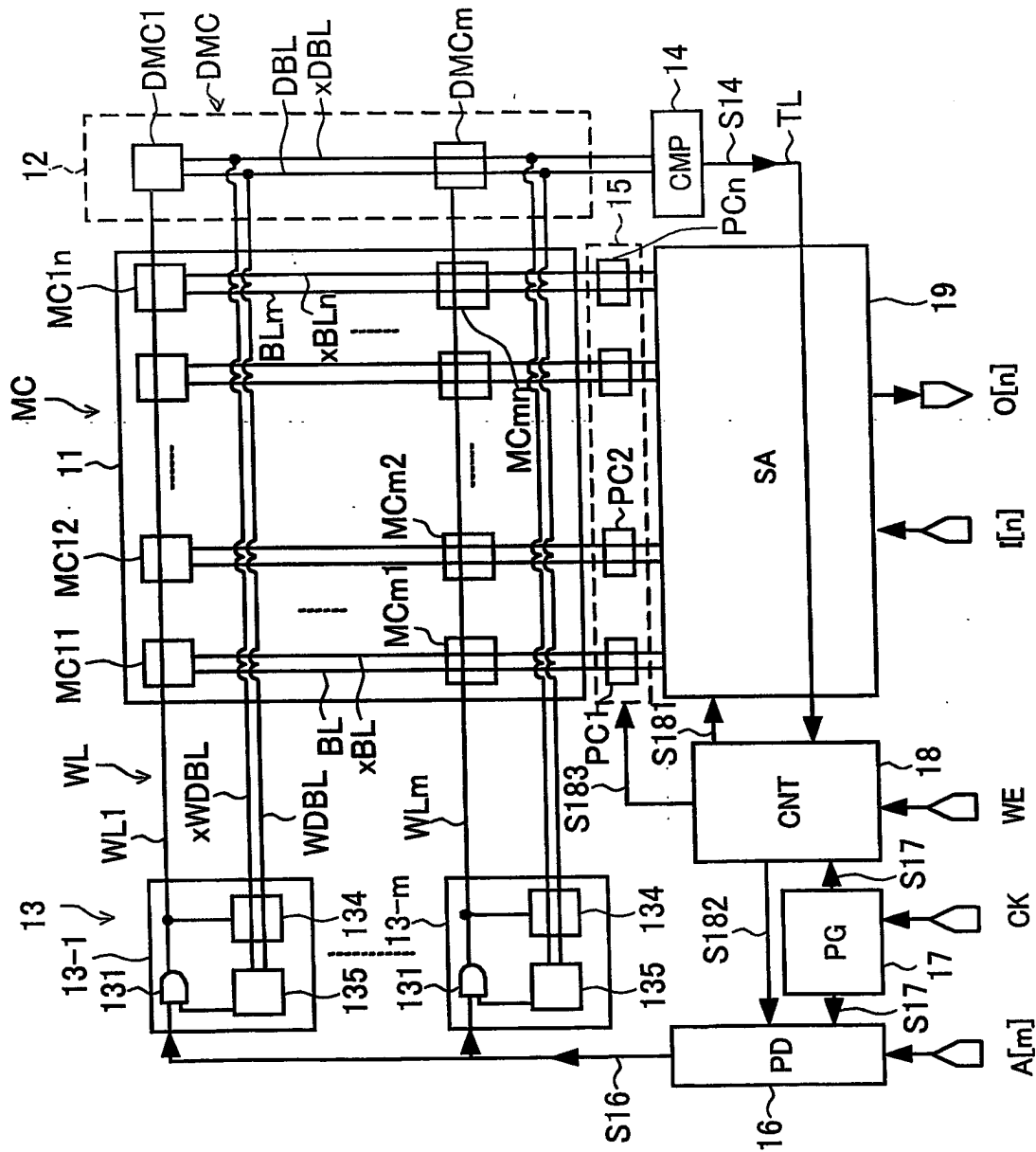


FIG. 2

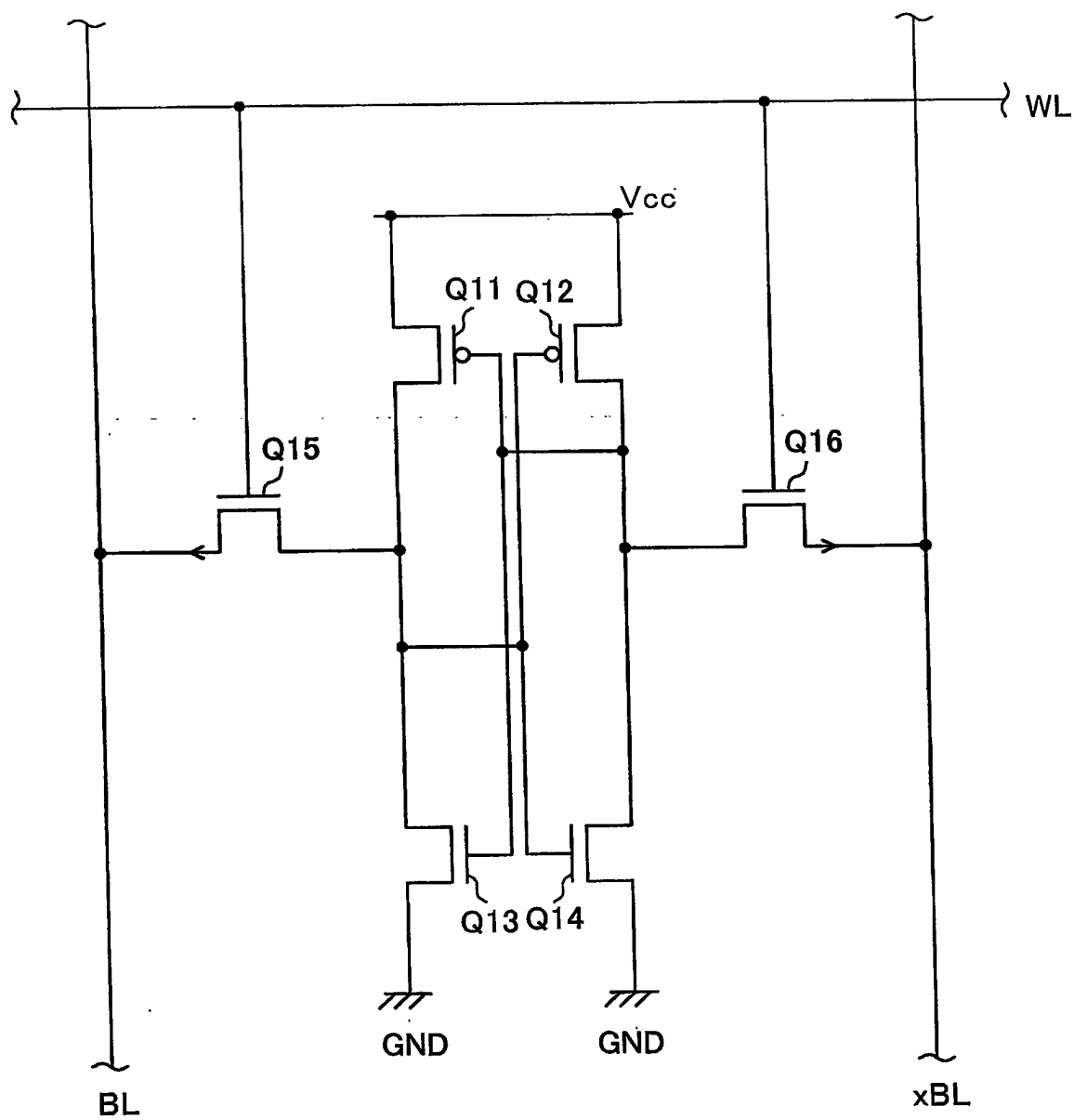
MC



FIG. 3

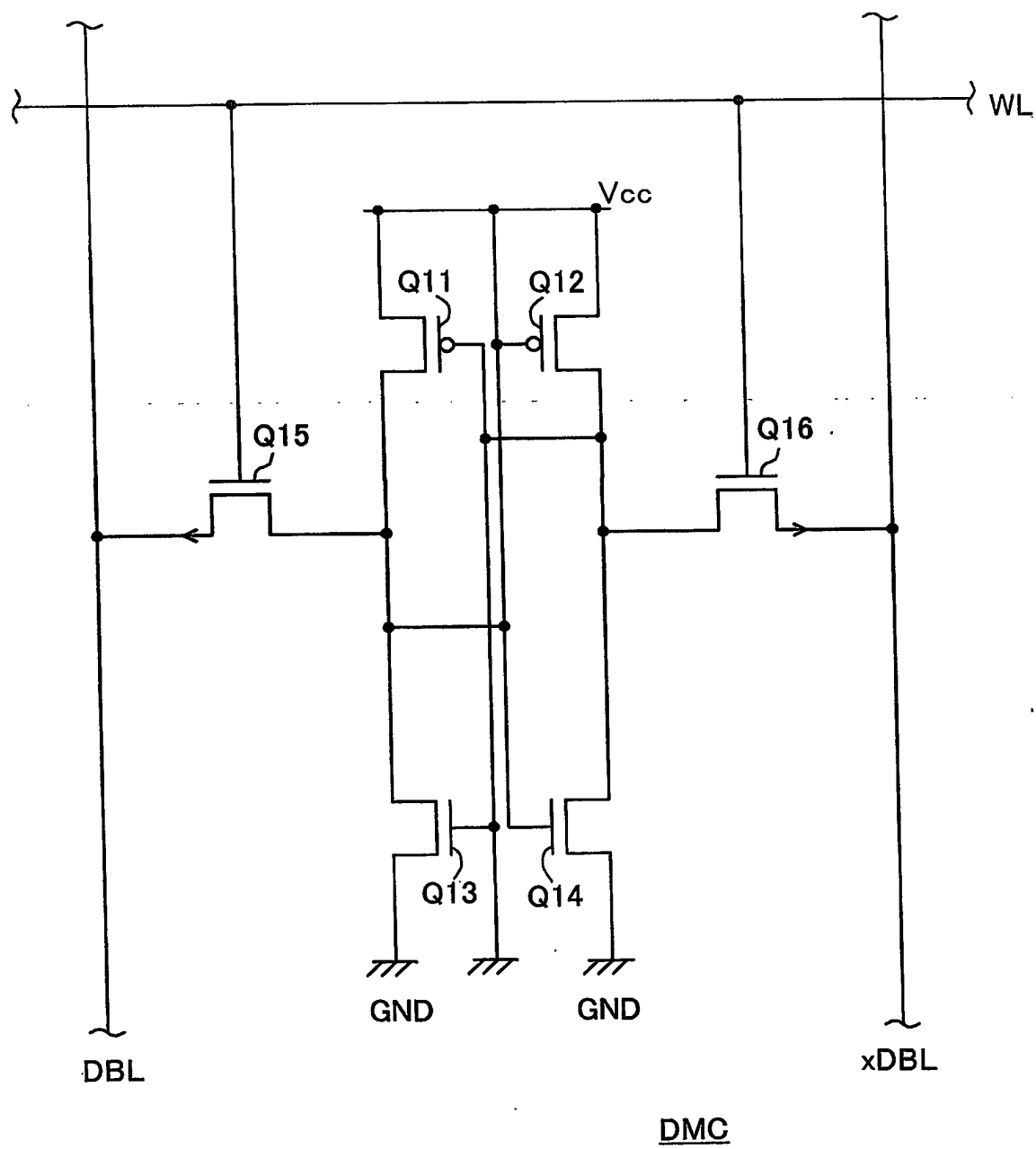
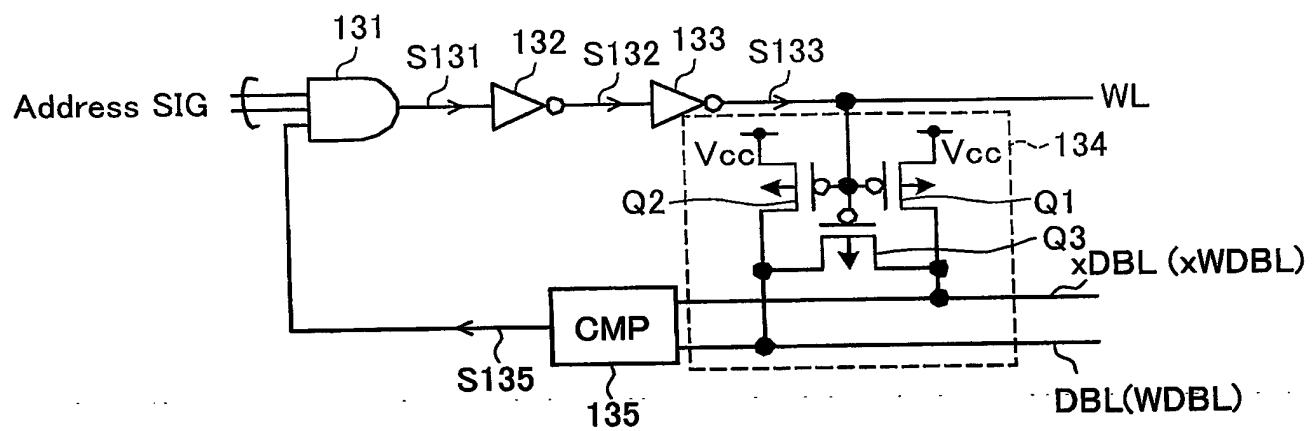


FIG. 4

13

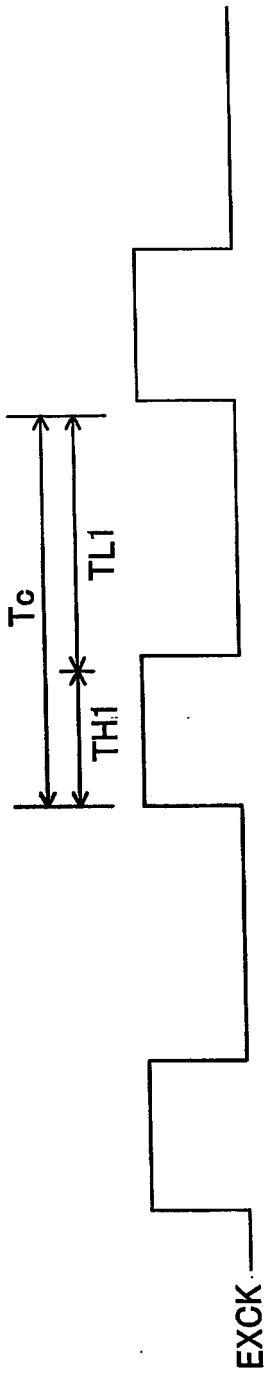


FIG. 5A

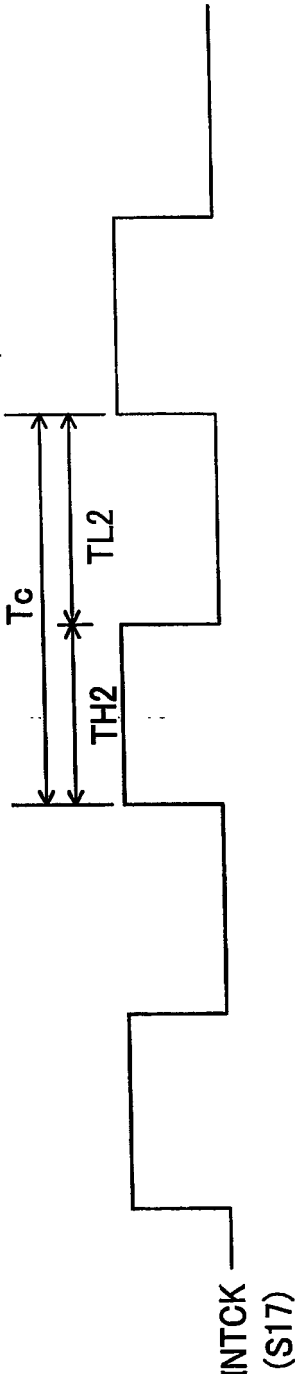


FIG. 5B

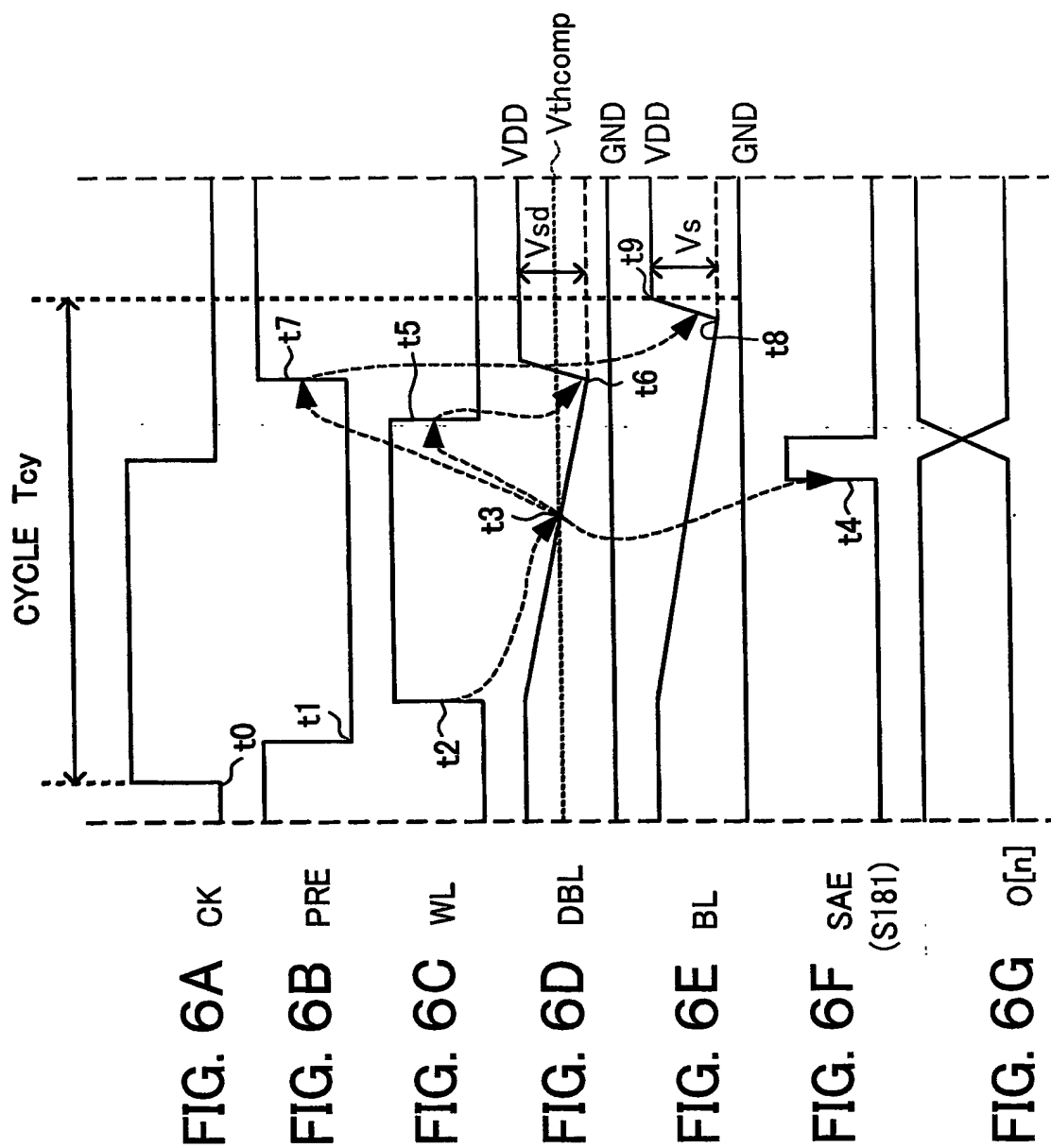


FIG. 7

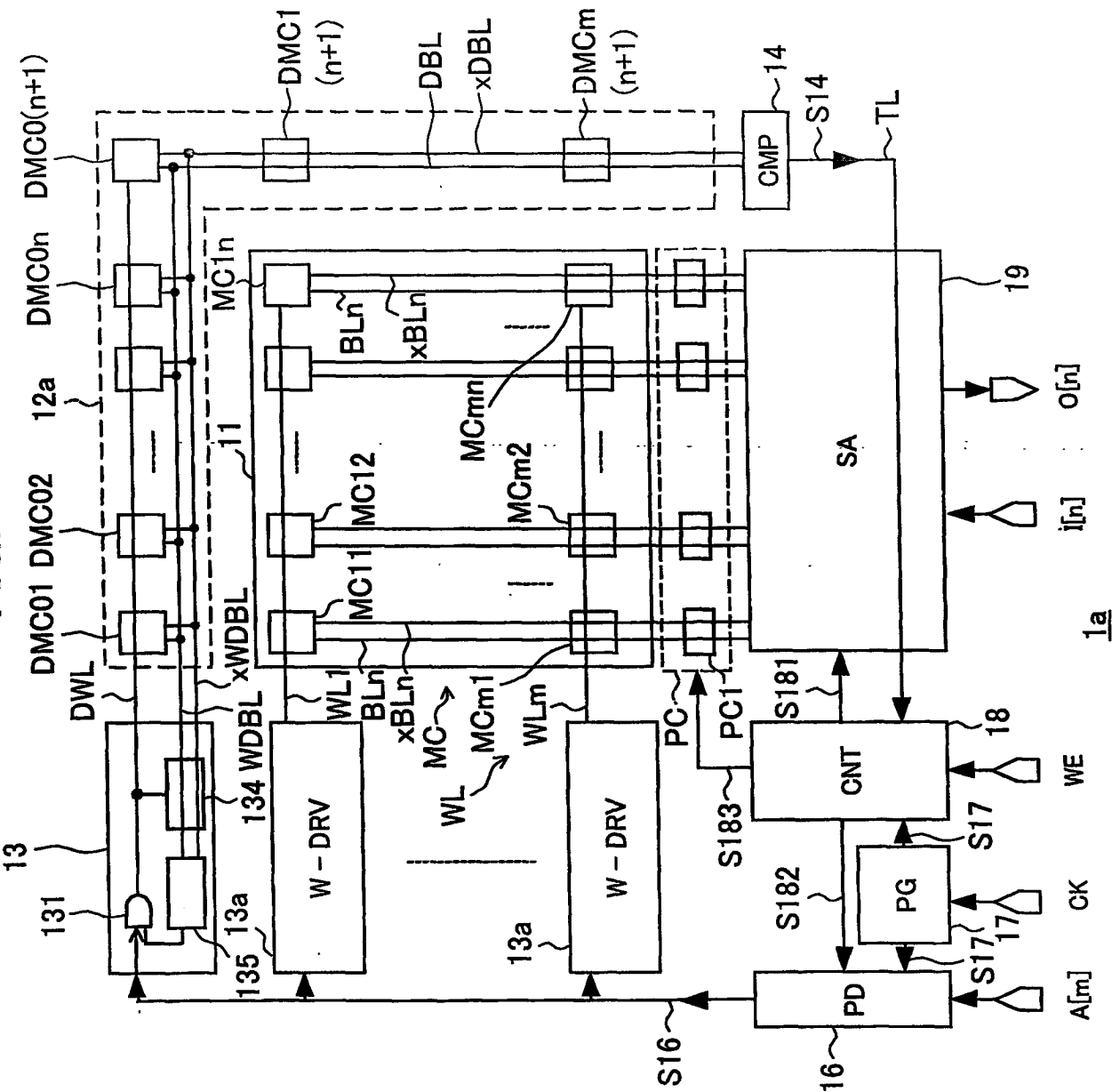


FIG. 8

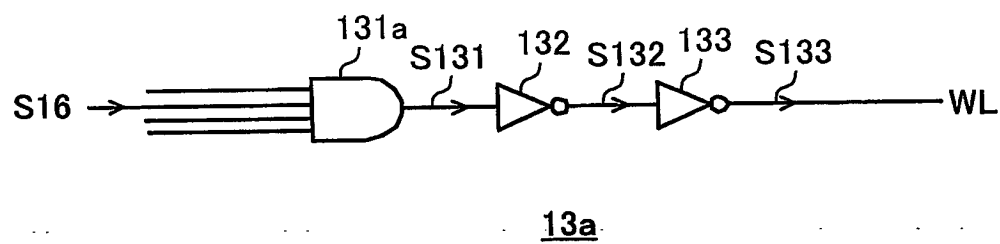
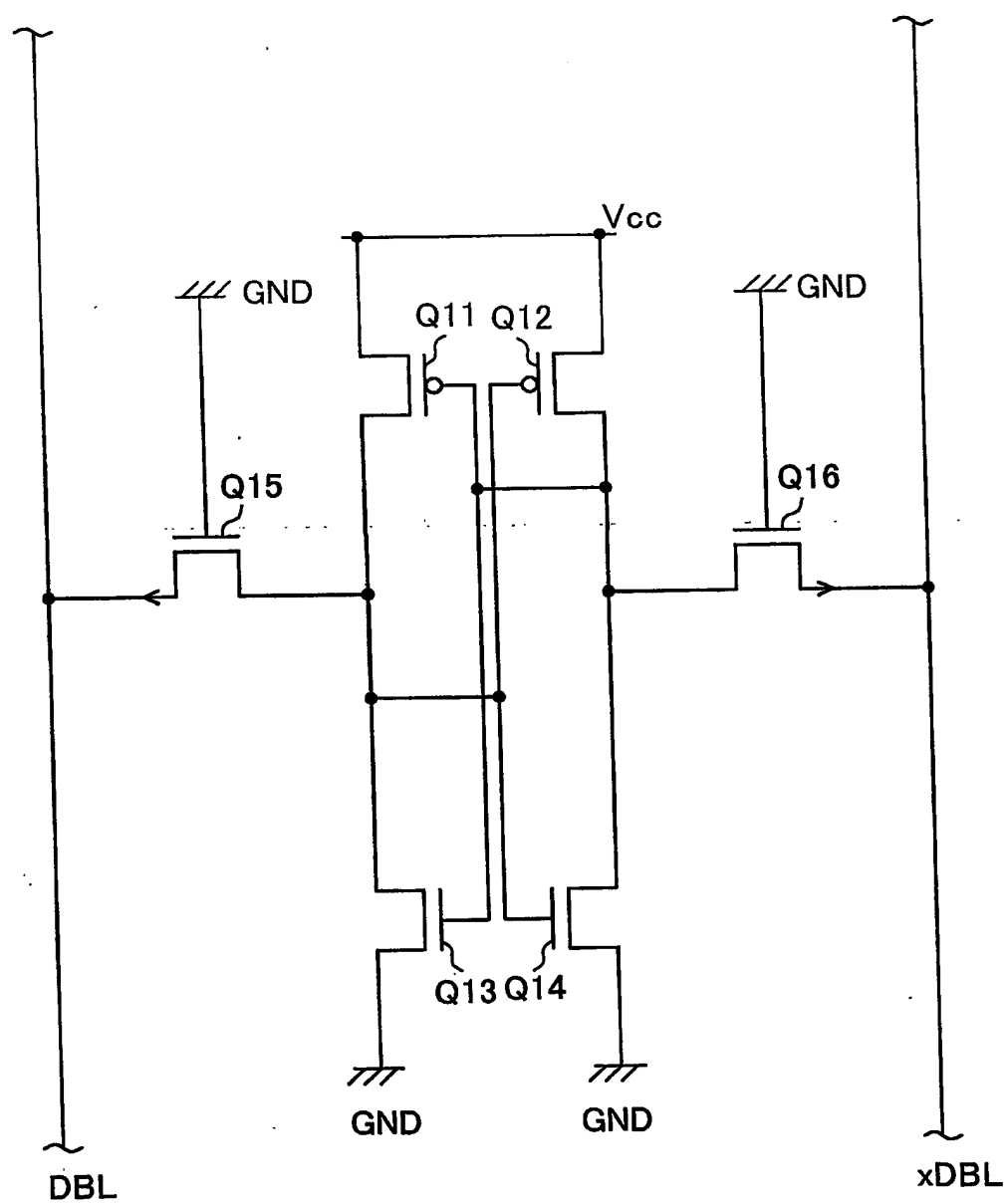


FIG. 9



DMC1(n+1)~DMCm(n+1)

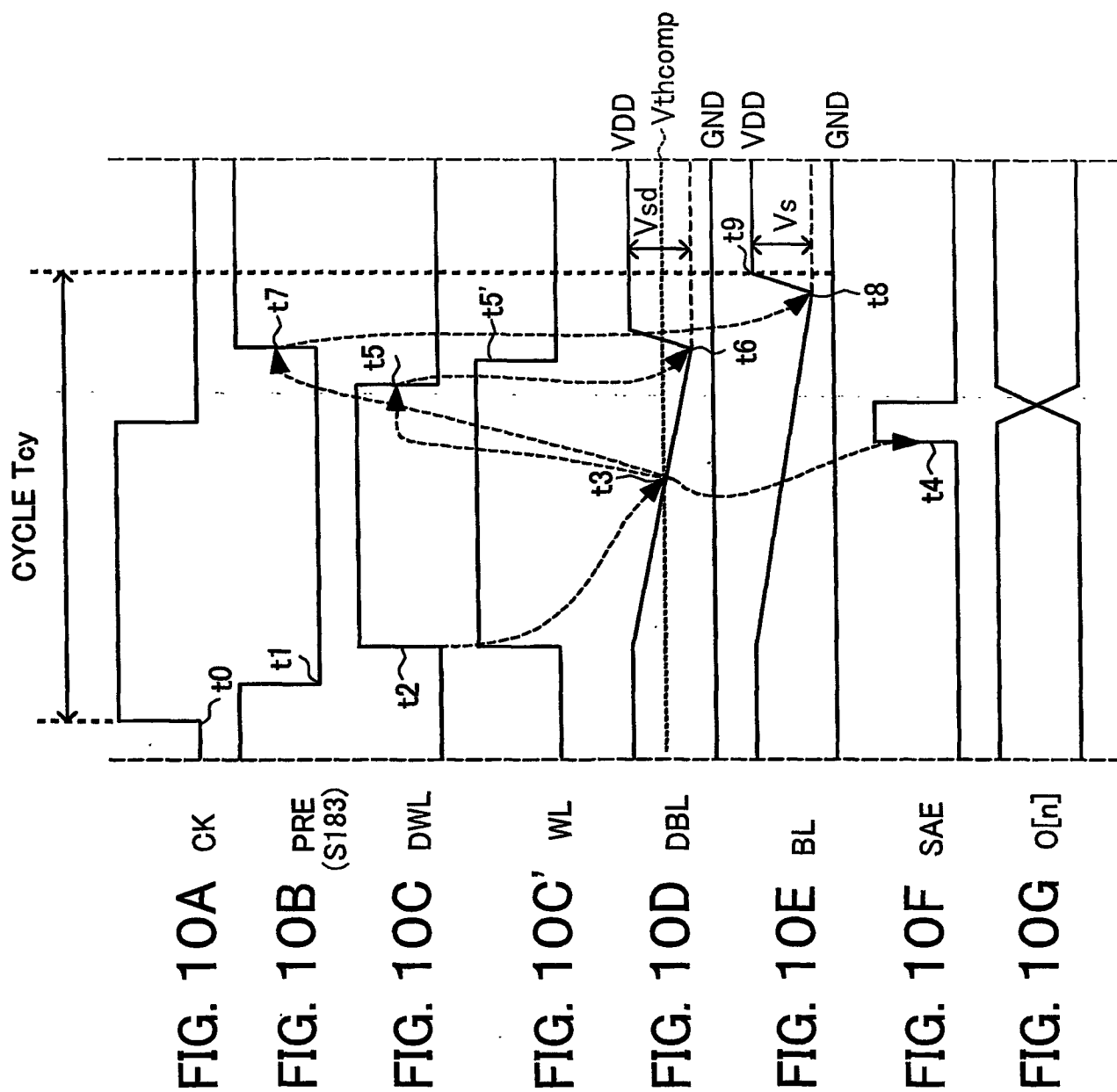
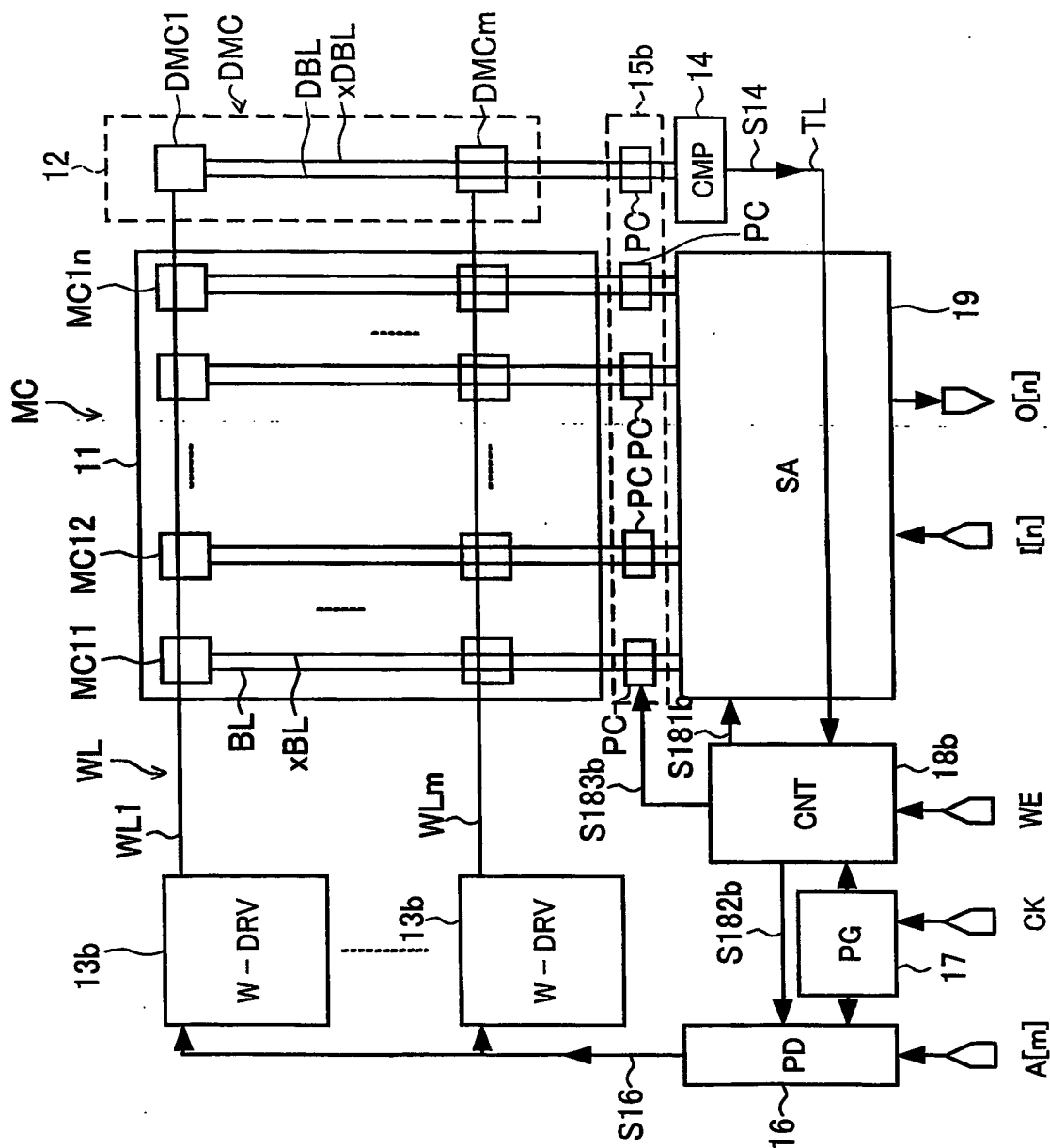
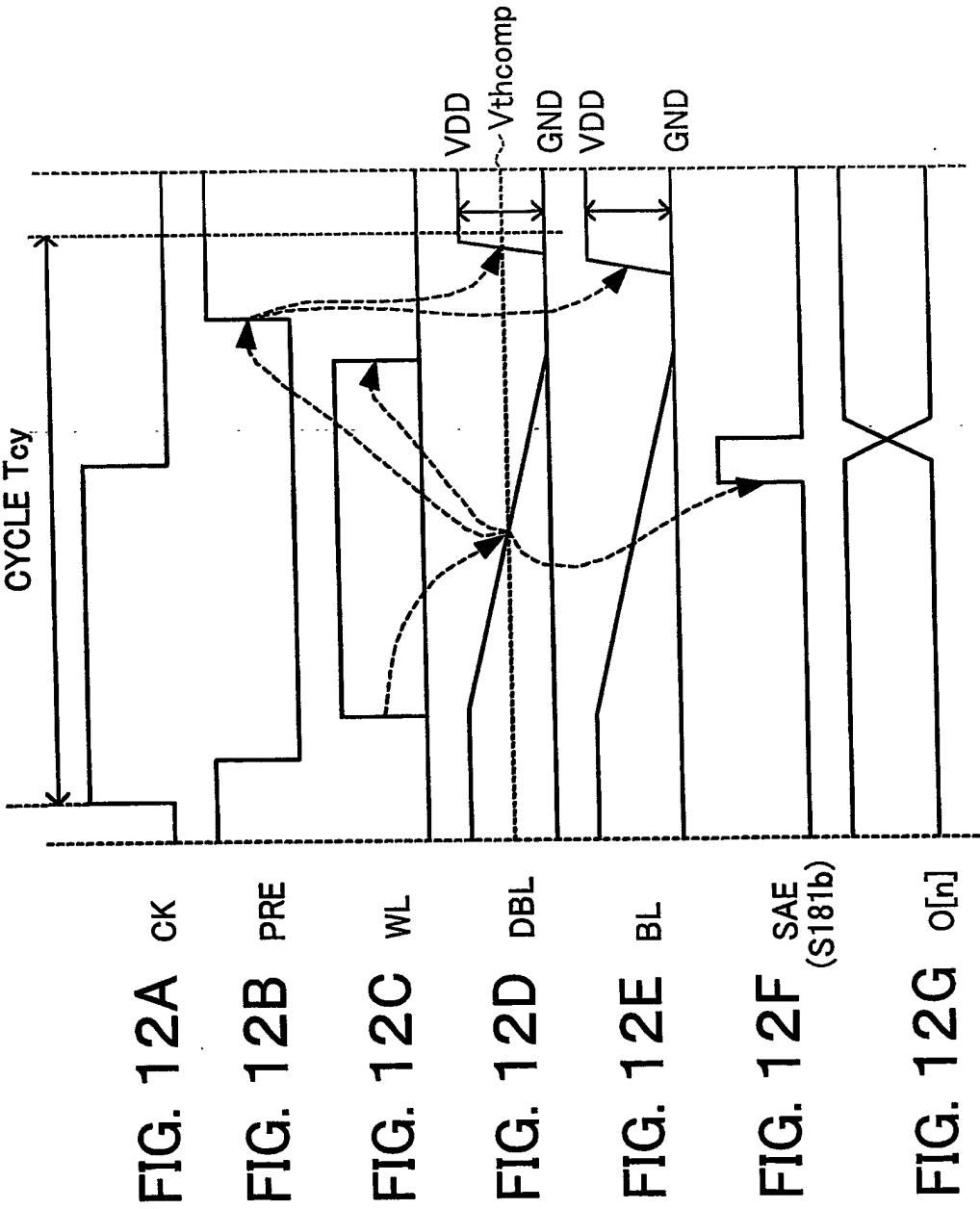




FIG. 11





## 符 号 の 説 明

- 1, 1 a …半導体記憶装置
- 1 1 …メモリセル
- 1 2 …ダミーメモリセル
- 1 3, 1 3 a …ワード線ドライバ
- 1 4 …比較部
- 1 5 …プリチャージ回路
- 1 6 …プリデコーダ
- 1 7 …パルス生成部
- 1 8 …内部タイミング制御回路
- 1 9 …センスアンプ
- 1 3 1 …アンドゲート
- 1 3 2, 1 3 3 …インバータ
- 1 3 4 …プリチャージ回路
- 1 3 5 …比較部
- A [m] …入力アドレス信号
- B L n, x B L n …ビット線
- CK …クロック信号
- DB L, x DB L …ダミービット線
- DMC …ダミーメモリセル
- DWL …ダミーワード線
- MC …メモリセル
- P C …プリチャージ回路
- Q 1 ~ Q 3, Q 1 1 ~ 1 6 …トランジスタ
- T L …タイミング線

V<sub>cc</sub>…電源電圧

WDBL,  $\bar{x}$ WDBL…ワードダミービット線

DWL…ダミーワード線

WL…ワード線

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/009885

A. CLASSIFICATION OF SUBJECT MATTER  
Int.Cl<sup>7</sup> G11C11/413

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> G11C11/413

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Toroku Jitsuyo Shinan Koho	1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 9-128958 A (Sony Corp.), 16 May, 1997 (16.05.97), Par. No. [0029]; Fig. 3 (Family: none)	1-4, 9-12, 14-16 5-8, 13
Y	JP 2001-521262 A (Artisan Components, Inc.), 06 November, 2001 (06.11.01), Fig. 1 & WO 1999/022376 A1      & AU 9910968 A & US 5999482 A              & EP 1025565 A1	5-8, 13
X A	JP 6-349280 A (Matsushita Electric Industrial Co., Ltd.), 22 December, 1994 (22.12.94), Full text; all drawings (Family: none)	1, 2 3-16

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&amp;" document member of the same patent family

Date of the actual completion of the international search  
20 October, 2004 (20.10.04)Date of mailing of the international search report  
16 November, 2004 (16.11.04)Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> G11C 11/413

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> G11C 11/413

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2004年

日本国実用新案登録公報 1996-2004年

日本国登録実用新案公報 1994-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 9-128958 A (ソニー株式会社) 1997. 05. 16, 【0029】, 第3図 (ファミリーなし)	1-4, 9-12, 14-16
Y		5-8, 13
Y	JP 2001-521262 A (アーティサン・コンポーネンツ ・インコーポレーテッド) 2001. 11. 06, 第1図 & WO 1999/022376 A1 & AU 9910968 A & US 5999482 A & EP 1025565 A1	5-8, 13

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」 同一パテントファミリー文献

国際調査を完了した日

20. 10. 2004

国際調査報告の発送日

16.11.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

加藤 俊哉

5N

9554

電話番号 03-3581-1101 内線 3545

C (続き) 関連すると認められる文献		
引用文献の カテゴリ*	引用文献名、及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X  A	JP 6-349280 A (松下電器産業株式会社) 1994. 12. 22, 全文, 全図 (ファミリーなし)	1, 2  3-16

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**